

SEMICONDUCTOR LIGHT-EMITTING ELEMENT

Patent Number: JP2001068732
Publication date: 2001-03-16
Inventor(s): KURAHASHI TAKANAO;; HOSOBANE HIROYUKI;; NAKATSU HIROSHI;;
MURAKAMI TETSURO
Applicant(s): SHARP CORP
Requested Patent: ☐ JP2001068732
Application
Number: JP19990236619 19990824
Priority Number(s):
IPC Classification: H01L33/00; H01S5/183
EC Classification:
Equivalents: ☐ SE0002543, TW469653

Abstract

PROBLEM TO BE SOLVED: To provide a resonant cavity type LED, which has an excellent moisture resistance and does not exhibit light-output saturation even though a current is injected to several tens of mA, with high mass productivity.

SOLUTION: This is a semiconductor light-emitting element of a structure, wherein a resonator is formed of one group of multilayer reflective films 3 and 7 formed at a constant interval on a GaAs substrate 1 with the main surface slanted at an angle higher than 2 deg. from the face (100) to the orientation [011] and a luminous layer 5 is formed at the position of the loop of a standing wave in this resonator, and in the element, the film 3, which is formed on the side of the substrate 1, on one side of the films 3 and 7 is formed of a plurality of $\text{Al}_x\text{Ga}_{1-x}\text{As}$ ($0 \leq x \leq 1$) layers and the other film 7 is formed of a plurality of $\text{Al}_y\text{Ga}_{1-y}\text{In}_z\text{P}$ ($0 \leq y \leq 1$ and $0 \leq z \leq 1$) layers. The moisture resistance of the element is enhanced and at the same time, the element can obtain a high reflectivity by increasing the number of the reflective films.

Data supplied from the esp@cenet database - I2

(19) 日本特許庁 (JP)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開2001-68732

(P2001-68732A)

(43) 公開日 平成13年3月16日 (2001.3.16)

(51) IntCl ⁷	識別記号	PI	チート(参考)
H01L 33/00		H01L 33/00	B 5F041
H01S 5/183		H01S 5/183	5F073

審査請求 未請求 請求項の数10 O/L (全11頁)

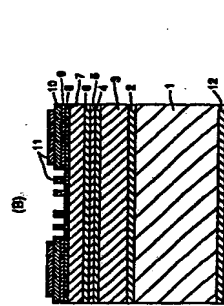
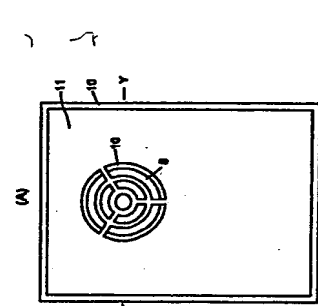
(21) 出願番号	特開平11-23819	(71) 出願人	00005049 シャープ株式会社 大阪府大阪市西淀川区長池町22番22号
(22) 出願日	平成11年8月24日 (1999.8.24)	(72) 発明者	倉持 幸樹 大阪府大阪市西淀川区長池町22番22号
		(72) 発明者	藤野 弘之 大阪府大阪市西淀川区長池町22番22号
		(74) 代理人	10007843 ヤープ株式会社内 弁護士 高野 明近 (外2名)

(54) 発明の名称 半導体発光素子

(57) 要約

【課題】 耐湿性に優れ、数10mAまで電流を注入しても光出力飽和がないレゾナントキャビティ (Resonant Cavity) 型LEDを量産性よく提供すること。

【解決手段】 主面が(100)面から[011]方向に対して2°以上傾斜したGaAs基板1上に一定の間隔をもつ一組の多層反射膜3、7で共振器が形成され、この共振器内の定在波の位置に発光層5を有する半導体発光素子において、GaAs基板側の一方の多層反射膜3が堆積層のAl_{0.2}Ga_{0.8}In (0 ≤ x ≤ 1) で形成され、他方の多層反射膜7が堆積層のAl_{0.7}Ga_{0.3}In_{1-y-z}P (0 ≤ y ≤ 1, 0 ≤ z ≤ 1) で形成される。耐湿性が向上するとともに、反射膜の数を多くすることにより、高反射率を得ることができ。



(2)

【特許請求の範囲】

【請求項1】 GaAs基板1上に一定の間隔を持つ一組の多層反射膜で共振器が形成され、この共振器内の定在波の位置に発光層を有する半導体発光素子において、前記発光層に対して前記GaAs基板側の多層反射膜が堆積層のAl_{0.2}Ga_{0.8}In (0 ≤ x ≤ 1) によって形成され、前記発光層に対して前記GaAs基板と反対側の多層反射膜が堆積層のAl_{0.7}Ga_{0.3}In_{1-y-z}P (0 ≤ y ≤ 1, 0 ≤ z ≤ 1) によって形成されることを特徴とする半導体発光素子。

【請求項2】 前記発光層が、単層あるいは複数層からなるAl_{0.2}Ga_{0.8}In_{1-y-z}P (0 ≤ y ≤ 1, 0 ≤ z ≤ 1) によって形成されることを特徴とする請求項1に記載の半導体発光素子。

【請求項3】 前記発光層よりも上に絶縁層あるいは前記GaAs基板と同一導電型の層による電流拡散構造を有することを特徴とする請求項1または2に記載の半導体発光素子。

【請求項4】 前記電流拡散構造を形成する層がAl_{0.2}Ga_{0.8}In (0 ≤ x ≤ 1) によって形成されることを特徴とする請求項3に記載の半導体発光素子。

【請求項5】 前記電流拡散構造を形成する層がAl_{0.7}Ga_{0.3}In_{1-y-z}P (0 ≤ y ≤ 1, 0 ≤ z ≤ 1) によって形成されることを特徴とする請求項3に記載の半導体発光素子。

【請求項6】 前記電流拡散構造を形成する層よりも上に電流を拡散させる層を形成することを特徴とする請求項3乃至5のいずれかに記載の半導体発光素子。

【請求項7】 前記電流を拡散させる層がAl_{0.2}Ga_{0.8}In (0 ≤ x ≤ 1) によって形成されることを特徴とする請求項6に記載の半導体発光素子。

【請求項8】 前記電流を拡散させる層がAl_{0.7}Ga_{0.3}In_{1-y-z}P (0 ≤ y ≤ 1, 0 ≤ z ≤ 1) によって形成されることを特徴とする請求項6に記載の半導体発光素子。

【請求項9】 前記電流を拡散させる層が発光に対して50%以上の透過率の透光性電極によって形成されることを特徴とする請求項6に記載の半導体発光素子。

【請求項10】 前記GaAs基板表面が(100)面から[011]方向あるいは[0-1-1]方向に対して2°以上傾斜していることを特徴とする請求項1乃至9のいずれかに記載の半導体発光素子。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】 本発明は、伝送用及び表示用に用いられる半導体発光素子に関し、さらに詳しくは、耐湿性に優れ、数10mAまで電流を注入しても光出力飽和がないレゾナントキャビティ型LEDに関する。

【0002】

【従来の技術】 近年、光通信や半導体発光素子情報表示パネル等に半導体発光素子が広く用いられている。これらの半導体発光素子に発光効率が低いこと、光通信用の半導体発光素子においては、さらに伝送速度が高速であることが重要であり近年開発が盛んに行われている。通常の面発光型LEDは高速度特性が十分とはいえず、100Mbps～200Mbps程度の境界である。そこで、レゾナントキャビティ (Resonant Cavity) 型LEDと呼ばれる半導体発光素子が開発されている。このレゾナントキャビティ型LEDは、2つのミラーで形成された共振器において発生する定在波の位置が発光層になるようにすることにより自然放光を抑制し、高速度及び高効率を実現する半導体発光素子であり、先行技術として特開平3-229480号公報、米国特許第5226053号明細書等が知られている。特に最近、比較的に短い距離の通信にPMMMA のプラスチック材料を基材とする光ファイバ (POF) が利用されはじめ、このPOFの低損失な波長領域である650nm程度の高効率な発光が可能となるAlGaInP系の半導体材料を発光層とするレゾナントキャビティ型LEDが開発されている (IEEE PHOTONICSTECHNOLOGY LETTERS Vol.10 No.12 December 1998 High-Brightness Visible Resonant Cavity Light Emitting Diode)。

【0003】

【発明が解決しようとする課題】 ところが、従来のレゾナントキャビティ型LEDは共振器を形成するミラーにAlGaAs系の材料の多層反射膜を用いていたため、LED表面近傍にAlAsあるいはAlGaInPの層が1に近しいAlGaAsの層があり、耐湿性に問題があった。また、表面から注入された電流は1μm程度の厚さのDBR (Distributed Bragg Reflector) でだけ拡散するので電流密度が十分でないため、数10mAまで電流を注入すると光出力が飽和するという問題があった。これを補うために表面電極を数μm幅の線状あるいはメッシュ状の電極とすることが実施されているが、これでは電極切れの問題があり量産性はあまりよくなく、【0004】そこで、本発明の目的は、上記問題を解決するために、耐湿性に優れ、数10mAまで電流を注入しても光出力飽和がないレゾナントキャビティ型LEDを量産性よく提供することにある。

【0005】

【課題を解決するための手段】 上記目的を達成するために請求項1の半導体発光素子は、GaAs基板1上に一定の間隔を持つ一組の多層反射膜で共振器が形成され、この共振器内の定在波の位置に発光層を有する半導体発光素子において、前記発光層に対して前記GaAs基板側の多層反射膜が堆積層のAl_{0.2}Ga_{0.8}In (0 ≤ x ≤ 1) によって形成され、前記発光層に対して前記GaAs基板と反対側の多層反射膜が堆積層のAl_{0.7}Ga_{0.3}In_{1-y-z}P (0 ≤ y ≤ 1, 0 ≤ z ≤ 1) によって形成されることを特徴とする。

80

(3)

- 3
n₁γ₂P (0 ≤ γ ≤ 1, 0 ≤ z ≤ 1) によって形成されることを特徴とし、請求項1の半導体発光素子では、発光層に対してGaAs基板の多層反射膜がAl_{1-x}Ga_xI_{1-y}As (0 ≤ x ≤ 1) で形成されているので、GaAs基板との熱膨張係数の差が小さいため、結晶成長時と結晶成長後の温度差による転移が発生しにくい。このことにより、反射膜の数を多くすることにより、特に高反射率を得ることができ、発光層に対してGaAs基板と反対側の多層反射膜がAl_{1-x}Ga_xI_{1-y}As (0 ≤ x ≤ 1, 0 ≤ z ≤ 1) で形成されているので、GaAs基板に格子整合する場合に最も多くAlを含む場合でも25%程度であり、Al_{1-x}Ga_xI_{1-y}As (0 ≤ x ≤ 1) の場合の50%の1/2である。これにより、耐湿性を大きく向上させることができる。Al_{1-x}Ga_xI_{1-y}As (0 ≤ x ≤ 1, 0 ≤ z ≤ 1) の多層反射膜の場合、層数が20〜30ペアを超えるとGaAs基板との熱膨張係数により転移が発生しやすくなるが、レゾナントキャビティ型LEDの場合、GaAs基板と反対側の多層反射膜は、GaAs基板側の多層反射膜ほど高反射率が要求されないで、通常20ペアを超えない層数が必要なく、転移発生の問題は考えなくてもよい。
- 4
【0006】また、請求項2の半導体発光素子は、請求項1に記載の半導体発光素子において、前記発光層が、単層あるいは複数層からなるAl_{1-x}Ga_xI_{1-y}As (0 ≤ x ≤ 1, 0 ≤ z ≤ 1) であることを特徴とする。
- 5
請求項2の半導体発光素子では、発光層がAl_{1-x}Ga_xI_{1-y}As (0 ≤ x ≤ 1, 0 ≤ z ≤ 1) であるので、50nm〜680nm程度で発光する半導体発光素子を得ることができる。
- 6
【0007】また、請求項3の半導体発光素子は、請求項1, 2に記載の半導体発光素子において、前記発光層よりも上に絶縁層あるいは前記GaAs基板と同一導電型の層による電流制御構造を持つことを特徴とする。請求項3の半導体発光素子では、発光層よりも上に絶縁層あるいはGaAs基板と同一導電型の層により電流制御構造を形成しているため、電流密度を高くすることができ、高い内部量子効率を実現することができる。また、発光層上にボンディングパッド用の電極がいたため、外部射出効率を高くすることが可能となる。また、発光層を小さくすることができるので、光通信に用いる場合にフットプリントとの結合効率も高くすることができる。
- 7
【0008】また、請求項4の半導体発光素子は、請求項3に記載の半導体発光素子において、前記電流制御構造を形成する層がAl_{1-x}Ga_xI_{1-y}As (0 ≤ x ≤ 1) によって形成されることを特徴とする。請求項4の半導体発光素子では、一連の結晶成長でGaAs基板に格子整合する電流制御層を形成することができる。
- 8
【0009】また、請求項5の半導体発光素子は、請求項3に記載の半導体発光素子において、前記電流制御層を形成する層がAl_{1-x}Ga_xI_{1-y}As (0 ≤ x ≤ 1) である。
- 9
【0010】また、請求項6の半導体発光素子は、請求項3乃至5のいずれかに記載の半導体発光素子において、前記電流制御構造を形成する層よりも上に電極を設け、電流制御層を形成することを特徴とする。請求項6の半導体発光素子では、電流制御層の上に電極を設け、動作電圧を低減することができる。
- 10
【0011】また、請求項7の半導体発光素子は、請求項6に記載の半導体発光素子において、前記電極を設けさせる層がAl_{1-x}Ga_xI_{1-y}As (0 ≤ x ≤ 1) によって形成されることを特徴とする。請求項7の半導体発光素子では、Al_{1-x}Ga_xI_{1-y}As (0 ≤ x ≤ 1) は耐湿性を考慮して590nm程度までの発光に対して透明となり得るので、この発光を有効に取り出すことができる。
- 11
【0012】また、請求項8の半導体発光素子は、請求項6に記載の半導体発光素子において、前記電極を設けさせる層がAl_{1-x}Ga_xI_{1-y}As (0 ≤ x ≤ 1, 0 ≤ z ≤ 1) によって形成されることを特徴とする。請求項8の半導体発光素子では、Al_{1-x}Ga_xI_{1-y}As (0 ≤ x ≤ 1, 0 ≤ z ≤ 1) は550nm程度までの発光に対して透明となり得るので、この発光を有効に取り出すことができる。
- 12
【0013】また、請求項9の半導体発光素子は、請求項6に記載の半導体発光素子において、前記電極を設けさせる層がAl_{1-x}Ga_xI_{1-y}As (0 ≤ x ≤ 1, 0 ≤ z ≤ 1) によって形成されることを特徴とする。請求項9の半導体発光素子では、電極を設けさせる層を形成している半導体材料で電流を拡散させる層を形成した場合よりもより低い動作電圧を実現することが可能である。
- 13
【0014】また、請求項10の半導体発光素子は、請求項7乃至9のいずれかに記載の半導体発光素子において、前記GaAs基板表面が(100)面から[011]方向あるいは[0-1-1]方向に対して2°以上傾斜していることを特徴とする。請求項10の半導体発光素子では、GaAs基板が(100)面から[011]方向あるいは[0-1-1]方向に対して2°以上傾斜しているため、発光層に対してGaAs基板と反対側に形成されるAl_{1-x}Ga_xI_{1-y}As (0 ≤ x ≤ 1, 0 ≤ z ≤ 1) の多層反射膜が傾斜になりやすいため、高反射率が少なく、転移発生が抑制される。
- 14
【0015】【発明の実施の形態】以下、本発明の実施の形態を図1

(4)

- 5
〜12に示す実施例に基づいて説明する。
- 6
【実施例1】図1(A)は、本実施例1で得られる半導体発光素子の表面図であり、図1(B)は図1(A)のX-Yでの断面図である。図2は、本実施例1の半導体発光素子の製造工程中の断面図である。図3(A)は、本実施例の半導体発光素子の製造工程中の表面図であり、図3(B)は、図3(A)のX-Yでの断面図である。図2に示すように(100)面から[011]方向あるいは[0-1-1]方向に2°だけ傾斜したn型のGaAs基板1上に、n型のGaAsバッファ層2(厚さ1μm)、n型のAlAsとn型のAl_{0.5}Ga_{0.5}AsのDBR3(層数30ペア)、n型のAl_{0.7}Ga_{0.3}0.5I_{0.5}n_{0.5}P第1クラッド層4、井戸層がGa_{0.5}Al_{0.5}As(厚さ0.5μm)、p型のAl_{0.5}Ga_{0.5}As(厚さ0.5μm)の量子井戸活性層5、p型のAl_{0.7}Ga_{0.3}0.5I_{0.5}n_{0.5}P第2クラッド層6、p型のAl_{0.2}Ga_{0.8}0.5I_{0.5}n_{0.5}Pとp型のAl_{0.5}I_{0.5}n_{0.5}PのDBR7(層数12ペア)、p型のAl_{0.2}Ga_{0.8}0.5I_{0.5}n_{0.5}Pとp型のAl_{0.5}I_{0.5}n_{0.5}PのDBR8(厚さ0.1μm)、p型のGaAsコンタクト層9(厚さ1μm)をMOCVD法(有機金属気相成長法: Metal Organic Chemical Vapor Deposition)により順次積層する。
- 7
【0016】ここで、n型のAlAsとn型のAl_{0.5}Ga_{0.5}Asの層数30ペアのDBR3及びp型のAl_{0.2}Ga_{0.8}0.5I_{0.5}n_{0.5}Pとp型のAl_{0.5}I_{0.5}n_{0.5}Pの層数12ペアのDBR7は反射スペクトルの中心が50nmになるようにし、この2つのDBR3, 7で形成される共振器の共振波長も50nmになるように共に調整する。本実施例1では共振器長は1.6μm、共振器長を調整する。また、図1(B)に示すように(100)面から[011]方向あるいは[0-1-1]方向に15°傾斜したn型のGaAs基板21上にn型のGaAsバッファ層22(厚さ1μm)、n型のAlAsとn型のAl_{0.5}Ga_{0.5}AsのDBR23(層数30ペア)、n型のAl_{0.7}Ga_{0.3}0.5I_{0.5}n_{0.5}P第1クラッド層24、井戸層がGa_{0.5}Al_{0.5}As(厚さ0.5μm)の量子井戸活性層25、p型のAl_{0.5}Ga_{0.5}As(厚さ0.5μm)の量子井戸活性層26、p型のAl_{0.2}Ga_{0.8}0.5I_{0.5}n_{0.5}Pとp型のAl_{0.5}I_{0.5}n_{0.5}PのDBR27, 28(厚さ0.5μm)の量子井戸活性層29、p型のAl_{0.2}Ga_{0.8}0.5I_{0.5}n_{0.5}Pとp型のAl_{0.5}I_{0.5}n_{0.5}PのDBR30(厚さ0.1μm)、n型のGaAsコンタクト層31(厚さ0.1μm)をMOCVD法により順次積層する。
- 8
【0020】ここで、n型のAlAsとn型のAl_{0.5}Ga_{0.5}Asの層数30ペアのDBR23及びp型のAl_{0.2}Ga_{0.8}0.5I_{0.5}n_{0.5}Pとp型のAl_{0.5}I_{0.5}n_{0.5}Pの層数12ペアのDBR27は反射スペクトルの中心が50nmになるようにし、この2つのDBR27, 28で形成される共振器の共振波長も50nmになるように共に調整する。また、図1(B)に示すように(100)面から[011]方向あるいは[0-1-1]方向に15°傾斜したn型のGaAs基板21上にn型のGaAsバッファ層22(厚さ1μm)、n型のAlAsとn型のAl_{0.5}Ga_{0.5}AsのDBR23(層数30ペア)、n型のAl_{0.7}Ga_{0.3}0.5I_{0.5}n_{0.5}P第1クラッド層24、井戸層がGa_{0.5}Al_{0.5}As(厚さ0.5μm)の量子井戸活性層25、p型のAl_{0.5}Ga_{0.5}As(厚さ0.5μm)の量子井戸活性層26、p型のAl_{0.2}Ga_{0.8}0.5I_{0.5}n_{0.5}Pとp型のAl_{0.5}I_{0.5}n_{0.5}PのDBR27, 28(厚さ0.5μm)の量子井戸活性層29、p型のAl_{0.2}Ga_{0.8}0.5I_{0.5}n_{0.5}Pとp型のAl_{0.5}I_{0.5}n_{0.5}PのDBR30(厚さ0.1μm)、n型のGaAsコンタクト層31(厚さ0.1μm)をMOCVD法により順次積層する。
- 9
【0020】ここで、n型のAlAsとn型のAl_{0.5}Ga_{0.5}Asの層数30ペアのDBR23及びp型のAl_{0.2}Ga_{0.8}0.5I_{0.5}n_{0.5}Pとp型のAl_{0.5}I_{0.5}n_{0.5}Pの層数12ペアのDBR27は反射スペクトルの中心が50nmになるようにし、この2つのDBR27, 28で形成される共振器の共振波長も50nmになるように共に調整する。また、図1(B)に示すように(100)面から[011]方向あるいは[0-1-1]方向に15°傾斜したn型のGaAs基板21上にn型のGaAsバッファ層22(厚さ1μm)、n型のAlAsとn型のAl_{0.5}Ga_{0.5}AsのDBR23(層数30ペア)、n型のAl_{0.7}Ga_{0.3}0.5I_{0.5}n_{0.5}P第1クラッド層24、井戸層がGa_{0.5}Al_{0.5}As(厚さ0.5μm)の量子井戸活性層25、p型のAl_{0.5}Ga_{0.5}As(厚さ0.5μm)の量子井戸活性層26、p型のAl_{0.2}Ga_{0.8}0.5I_{0.5}n_{0.5}Pとp型のAl_{0.5}I_{0.5}n_{0.5}PのDBR27, 28(厚さ0.5μm)の量子井戸活性層29、p型のAl_{0.2}Ga_{0.8}0.5I_{0.5}n_{0.5}Pとp型のAl_{0.5}I_{0.5}n_{0.5}PのDBR30(厚さ0.1μm)、n型のGaAsコンタクト層31(厚さ0.1μm)をMOCVD法により順次積層する。

(5)

7
中心が650nmになるようにする。また、この2つのDBR23、27で形成される共振器の共振波長も650nmになるように共振器長を調整する。本実施例2では共振器長は1.5波長分とした。さらに発光層となる量子井戸活性層25の位置は共振器中に生じる定在波の位置にくるようにし、発光ピーク波長は650nmになるようにする。

10
【0021】その後、図6(A)(B)に示すようにn型のGaAs、キャップ層31を連続/過酸化水素エッチャントにより除去した後、フォトリソグラフィ及び、熱酸化、連続/過酸化水素エッチャントによりn型の(A1_{0.3}Ga_{0.7})0.51n_{0.5}P保護層30、n型のGaAs電流封層29をp型の(A1_{0.2}Ga_{0.8})0.51n_{0.5}Pエッチング層28に達するまでエッチングする。このときのエッチングによって70μmφの円形状の電流経路を形成する。

【0022】その後、図4(A)(B)に示すように、p型のA1_{0.5}Ga_{0.5}As電流封層32(厚さ7μm)をn型の(A1_{0.3}Ga_{0.7})0.51n_{0.5}P保護層30及びp型の(A1_{0.2}Ga_{0.8})0.51n_{0.5}Pエッチング層28上に再成長させ、p型のA1_{0.5}Ga_{0.5}As電流封層32上にAuZn/Mo/Auをスパッタし、フォトリソグラフィ及びAuエッチャント、アンモニア/過酸化水素エッチャントによるエッチングにより表面電極を形成する。その後、熱処理することによりp型電極33が、それ、GaAs基板を約280μmまで研削し、この研削した面AuGe/Auを蒸着し、熱処理することによりn型電極34が形成する。

【0023】このようにして得られた半導体発光素子は、多層反射膜の構造は実施例1と同様であるが、実施例1が(100)面から[011]方向に2°だけ傾斜したGaAs基板を使用したのに対して、本実施例2では(100)面から[011]方向に15°傾斜したGaAs基板を使用している。より良質の表面が得られ、その結果発光層に対してGaAs基板21と反射層のA1GaInP系の材料の多層反射膜(DBR23)の反射率が約70%から約75%に向上している。耐湿性に關しても全く問題なく、湿度80℃、湿度85%中で50mAの通電試験を実施したところ1000時間経過後初期光出力の90%の光出力であった。また、初期光出力は20mAと十分な光出力が得られた。また表面にA1_{0.5}Ga_{0.5}As電流封層32を備えているので、40mAまで電流を大きくした場合に実施例1の半導体発光素子の光出力が2mWと飽和傾向を示しているのに対し、本実施例2の半導体発光素子の光出力は4.2mWと電流に比例して増加している。動作電圧に關しても、20mAの通電時に実施例1の半導体発光素子は2.2Vであったのに対し、本実施例2の半導体発光素子は2.1Vであり、0.1Vの動作電圧低減

が実現できた。これらはA1_{0.5}Ga_{0.5}As電流封層32により発光層に均一に電流を注入したことの効果である。

【0024】(実施例3)図7(A)(B)は本実施例3で得られる半導体発光素子の表面図であり、図7(B)は図7(A)のX-Yでの断面図である。図8は本実施例の半導体発光素子の製造工程途中の断面図である。図9(A)は本実施例の半導体発光素子の製造工程途中の表面図であり、図9(B)は図9(A)のX-Yでの断面図である。この半導体発光素子はA1GaInP系のものであり、図8に示すように(100)面から[011]方向あるいは[0-1-1]方向に15°傾斜したn型のGaAs基板41上にn型のGaAsベッファ層42(厚さ1μm)、n型のA1Asとn型のA1_{0.7}Ga_{0.3}AsのDBR43(層数70-77)、n型のA1_{0.7}Ga_{0.3}AsのDBR43(層数70-77)、n型のA1_{0.7}Ga_{0.3}AsのDBR43(層数70-77)第1クラッド層44、井戸層が(A1_{0.3}Ga_{0.7})0.51n_{0.5}P、ベリア層が(A1_{0.5}Ga_{0.5})0.51n_{0.5}Pの量子井戸活性層45、p型の(A1_{0.7}Ga_{0.3})0.51n_{0.5}P第2クラッド層46、p型の(A1_{0.4}Ga_{0.6})0.51n_{0.5}Pとp型のA1_{0.5}Ga_{0.5}AsのDBR47(層数18-27)、p型のA1GaInP中間層48(厚さ0.15μm)、p型のA1GaInP第1電流封層49(厚さ1μm)、n型のA1GaInP電流封層50(厚さ0.3μm)、n型のGaAsキャップ層51(厚さ0.01μm)をMOCVD法により順次積層する。

【0025】このとき、n型のA1Asとn型のA1_{0.7}Ga_{0.3}Asの層数70-77のDBR43及びp型の(A1_{0.4}Ga_{0.6})0.51n_{0.5}Pとp型のA1_{0.5}Ga_{0.5}Asの層数18-27のDBR47は、反射スペクトルの中心が570nmになるようにする。また、この2つのDBR43、47で形成される共振器の共振波長も570nmになるように共振器長を調整する。本実施例3では共振器長を1.5波長分とした。さらに量子井戸活性層45の位置は共振器中に生じる定在波の位置にくるようにし、発光ピーク波長は570nmになるようにする。その後、図9(A)(B)に示すように、n型のGaAs、キャップ層51を連続/過酸化水素エッチャントで除去した後、フォトリソグラフィ及び、酸/過酸化水素エッチャントによりn型のA1GaInP電流封層50をp型のA1GaInP第1電流封層49に達するまでエッチングする。このときのエッチングで70μmφの円形状の電流経路を形成する。

【0026】その後、図7(A)(B)に示すようにp型のA1GaInP第2電流封層52(厚さ7μm)をn型のA1GaInP電流封層50及びp型のA1GaInP第1電流封層49上に再成長させる。その後、p型のA1GaInP第2電流封層52上にAuBe/Auを蒸着し、フォトリソグラフィ及びAuエッチャントによるエッチングにより表面電極を形成する。そ

の後、熱処理することによりp型電極53が得られる。

そして、GaAs基板を約380μmまで研削し、この研削した面AuGe/Auを蒸着し、熱処理することによりn型電極54が形成する。このようにして得られた半導体発光素子は、発光層に対してGaAs基板側の多層反射膜(DBR43)A1GaInP系の材料で形成されているので全厚は約7μmと実施例1、実施例2の場合よりもさらに厚くなっているが、GaAs基板41との熱膨張率の差が小さいため基板のそり、ダークラインの発生は認められず、また、層数を70-77としていることから、99%以上の反射率を実現している。また、発光層に対してGaAs基板41と反射層の多層反射膜(DBR47)はA1GaInP系の材料で形成されているので、実施例1、実施例2の場合と同程度の性能は得られる。また、湿度80℃、湿度85%中で50mAの通電試験を実施したところ、1000時間経過後初期光出力の105%の光出力であった。初期光出力は0.4mWであった。

【0027】(実施例4)図10(A)は、本実施例4で得られる半導体発光素子の表面図であり、図10(B)は図10(A)のX-Yでの断面図である。図11は本実施例の半導体発光素子の製造工程途中の断面図である。図12(A)は本実施例の半導体発光素子の表面図であり、図12(B)は図12(A)のX-Yでの断面図である。この半導体発光素子はA1GaInP系のものであり、図11に示すように(100)面から[011]方向あるいは[0-1-1]方向に15°傾斜したn型のGaAs基板61上にn型のGaAsベッファ層62(厚さ1μm)、n型のA1Asとn型のA1_{0.5}Ga_{0.5}AsのDBR63(層数30-37)、n型の(A1_{0.7}Ga_{0.3})0.51n_{0.5}P第1クラッド層64、井戸層がGaInP、ベリア層が(A1_{0.5}Ga_{0.5})0.51n_{0.5}Pの量子井戸活性層65、p型の(A1_{0.7}Ga_{0.3})0.51n_{0.5}P第2クラッド層66、p型の(A1_{0.4}Ga_{0.6})0.51n_{0.5}Pとp型のA1_{0.5}Ga_{0.5}AsのDBR67(層数12-27)、p型の(A1_{0.2}Ga_{0.8})0.51n_{0.5}P中間層68(厚さ0.1μm)、p型のGaAsコンタクト層69(厚さ0.005μm)をMOCVD法により順次積層する。ここで、n型のA1Asとn型のA1_{0.5}Ga_{0.5}Asの層数30-37のDBR63及びp型の(A1_{0.4}Ga_{0.6})0.51n_{0.5}Pとp型のA1_{0.5}Ga_{0.5}Asの層数12-27のDBR67は、反射スペクトルの中心が650nmになるようにし、この2つのDBR63、67で形成される共振器の共振波長も650nmになるようにする。さらに量子井戸活性層65の位置は、共振器中に生じる定在波の位置にくるようにする。

【0028】その後、図12(A)(B)に示すようにウェハー表面にCVD法によりSiO₂膜70を形成し、フォトリソグラフィ及び希釈HFによるエッチング

10
グにより70μmφの円形状の電流経路を形成する。すなわち、SiO₂膜70が電流流 構造を形成する層となっている。その後、図10(A)(B)に示すようにGaAs基板61を約280μmまで研削し、この研削した面AuGe/Auによりn型電極71を形成する。その後、p型のGaAsコンタクト層69及びSiO₂膜70上にITO膜72により表面電極を形成する。すなわち、ITO膜72が電流を拡散させる層となっている。さらにその上にTi/Au73によりボンディングパッドを形成する。

【0029】このようにして得られた半導体発光素子は、多層反射膜の構造は実施例2と同様であるが、20mAでの動作電圧が実施例2の半導体発光素子が2.1Vであったのに対し、本実施例4の半導体発光素子が2.0mAでの動作電圧は1.9Vと0.2Vの低減ができた。またp型のGaAsコンタクト層69、ITO膜72での650nmの光に対する透過率が約70%であるので光出力は20mA通電時に1.5mWであった。湿度80℃、湿度85%中で50mAの通電試験では1000時間経過後初期光出力の90%の光出力であり耐湿性は問題なかった。

【0030】

【発明の効果】以上明らかなように、請求項1の発明の半導体発光素子は、GaAs基板上に一定の間隔を持つ一組の多層反射膜で共振器が形成され、この共振器内の定在波の位置に発光層を有し、半導体基板に垂直に発光する半導体発光素子に、発光層に対してGaAs基板側の多層反射膜が被覆層のA1_{0.5}Ga_{0.5}As(0.5≤x≤1)で形成され、発光層に対してGaAs基板と反対側の多層反射膜が被覆層のA1_{0.5}Ga_{0.5}As(0.5≤y≤1, 0.5≤z≤1)で形成される。第1層P(0.5≤y≤1, 0.5≤z≤1)で形成される。第1層Pに対してGaAs基板側の多層反射膜がA1_{0.5}Ga_{0.5}As(0.5≤x≤1)で形成されているので、GaAs基板との熱膨張係数の差が小さいため、結晶成長時と結晶成長後の温度差による転移が発生しにくい。このことにより、反射膜の数を多くすることにより、容易に高反射率を得ることができる。また、発光層に対してGaAs基板と反対側の多層反射膜がA1_{0.5}Ga_{0.5}As(0.5≤y≤1, 0.5≤z≤1)で形成されているので、GaAs基板に格子整合する場合に最も多くAlを含む場合でも25%程度であり、A1_{0.5}Ga_{0.5}As(0.5≤x≤1)の場合の50%の1/2である。これにより、耐湿性に關して大きく向上させることができる。A1_{0.5}Ga_{0.5}As(0.5≤y≤1, 0.5≤z≤1)の多層反射膜の場合、その層数が20-30-70を越えたとGaAs基板との熱膨張率差により転移が発生しやすくなるが、レゾナントキヤパシビリティLEDの場合GaAs基板と反対側の多層反射膜はGaAs基板側の多層反射膜ほど高反射率が要求されないため、通常20-70を越える層数は必要なく、転移は発生しない。

(7)

11

【0031】また、請求項2の発明の半導体発光素子は、請求項11に記載の半導体発光素子において、GaAs基板の上に一定の間隔を持つ一連の多層反射膜で形成される半導体膜の位置に形成する発光層が、単層あるいは複数層からなる $\text{Al}_x\text{Ga}_{1-x}\text{In}_{1-y}\text{P}$ ($0 \leq x \leq 1$, $0 \leq y \leq 1$)であることにより、550nm〜680nm程度の発光する半導体発光素子を得ることができる。

【0032】また、請求項3の発明の半導体発光素子は、請求項1、2に記載の半導体発光素子において、発光層よりも上に絶縁層あるいはGaAs基板と同一導電型の層による電流拡散層を持つことにより、電流密度を高くすることができ、高い内部量子効率を実現することができ、また発光部にボンドディングパッド用の電極がないため、外部反射効率を高くすることが可能となる。また、発光部を小さくすることができ、光通信に用いる場合に光ファイバーとの結合効率も高くすることができる。

【0033】また、請求項4の発明の半導体発光素子は、請求項3に記載の半導体発光素子において、発光層よりも上に電流拡散層を形成するGaAs基板と同一導電型の層が $\text{Al}_x\text{Ga}_{1-x}\text{In}_{1-y}\text{P}$ ($0 \leq x \leq 1$)であることにより、一連の結晶成長でGaAs基板に格子整合する電流拡散層を形成することができる。

【0034】また、請求項5の発明の半導体発光素子は、請求項3に記載の半導体発光素子において、発光層よりも上に電流拡散層を形成するGaAs基板と同一導電型の層が $\text{Al}_x\text{Ga}_{1-x}\text{In}_{1-y}\text{P}$ ($0 \leq x \leq 1$, $0 \leq y \leq 1$)であることにより、一連の結晶成長で電流拡散層を形成することができ、また $\text{Al}_x\text{Ga}_{1-x}\text{In}_{1-y}\text{P}$ ($0 \leq x \leq 1$, $0 \leq y \leq 1$)は550nm程度までの発光光に対して透明となり得るのでこの発光光を有効に取り出すことができる。

【0035】また、請求項6の発明の半導体発光素子は、請求項3に記載の半導体発光素子において、発光層よりも上に絶縁層あるいはGaAs基板と同一導電型の層による電流拡散層を形成し、この層よりも上に電流を拡散させる層を形成することにより、均一な発光を得ることができ、動作電圧を低減することができる。

【0036】また、請求項7の発明の半導体発光素子は、請求項6に記載の半導体発光素子において、発光層よりも上に絶縁層あるいはGaAs基板と同一導電型の層による電流拡散層を形成し、この層よりも上に形成する電流を拡散させる層が $\text{Al}_x\text{Ga}_{1-x}\text{As}$ ($0 \leq x \leq 1$) 1) によって形成されることにより、 $\text{Al}_x\text{Ga}_{1-x}\text{As}$ ($0 \leq x \leq 1$) は耐湿性を考慮して590nm程度までの発光光に対して透明となり得るので、この発光光を有効に取り出すことができる。

【0037】また、請求項8の発明の半導体発光素子は、請求項6に記載の半導体発光素子において、発光層

12

よりも上に絶縁層あるいはGaAs基板と同一導電型の層による電流拡散層を形成し、この層よりも上に形成する電流を拡散させる層が $\text{Al}_x\text{Ga}_{1-x}\text{In}_{1-y}\text{P}$ ($0 \leq x \leq 1$, $0 \leq y \leq 1$) によって形成されることにより、 $\text{Al}_x\text{Ga}_{1-x}\text{In}_{1-y}\text{P}$ ($0 \leq x \leq 1$, $0 \leq y \leq 1$)は550nm程度までの発光光に対して透明となり得るので、この発光光を有効に取り出すことができる。

【0038】また、請求項9の発明の半導体発光素子は、請求項6に記載の半導体発光素子において、発光層よりも上に絶縁層あるいはGaAs基板と同一導電型の層による電流拡散層を形成し、この層よりも上に形成する電流を拡散させる層が $\text{Al}_x\text{Ga}_{1-x}\text{In}_{1-y}\text{P}$ ($0 \leq x \leq 1$) によって、発光層に対して50%以上の透過率の透光性電極によって形成されることにより、電流を拡散させる層を透光性電極によって形成しているもので、半導体材料で電流を拡散させる層を形成した場合よりも均一に発光させることができ、低い動作電圧を実現することが可能である。

【0039】また、請求項10の発明の半導体発光素子は、請求項1乃至9に記載の半導体発光素子において、GaAs基板表面が(100)面から[011]方向あるいは[0-1-1]方向に対して2°以上傾斜していることにより、発光層に対してGaAs基板と反対側に形成される $\text{Al}_x\text{Ga}_{1-x}\text{In}_{1-y}\text{P}$ ($0 \leq x \leq 1$, $0 \leq y \leq 1$) 多層反射膜が傾斜になりやすいので高い反射率が、少ない多層反射膜の層数で得られる。

【図面の簡単な説明】

【図1】図1 (A) 及び図1 (B) はそれぞれ、本発明の第1実施例による半導体発光素子の表面図及びそのX-Y断面図である。

【図2】図2の半導体発光素子の製造工程中の断面図である。

【図3】図3 (A) 及び図3 (B) はそれぞれ、図1の半導体発光素子の製造工程中の表面図及びそのX-Y断面図である。

【図4】図4 (A) 及び図4 (B) はそれぞれ、本発明の第2実施例による半導体発光素子の表面図及びそのX-Y断面図である。

【図5】図5の半導体発光素子の製造工程中の断面図である。

【図6】図6 (A) 及び図6 (B) はそれぞれ、図4の半導体発光素子の製造工程中の表面図及びそのX-Y断面図である。

【図7】図7 (A) 及び図7 (B) はそれぞれ、本発明の第3実施例による半導体発光素子の表面図及びそのX-Y断面図である。

【図8】図8の半導体発光素子の製造工程を示す断面図である。

【図9】図9 (A) 及び図9 (B) はそれぞれ、図7の半導体発光素子の製造工程を示す表面図及びそのX-Y断面図である。

(8)

13

【図10】図10 (A) 及び図10 (B) はそれぞれ、本発明の第4実施例による半導体発光素子の表面図及びそのX-Y断面図である。

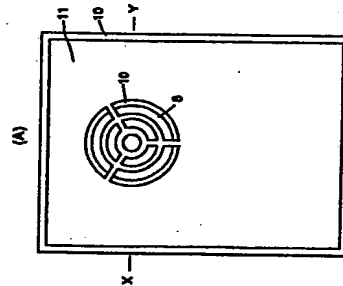
【図11】図10の半導体発光素子の製造工程を示す断面図である。

【図12】図12 (A) 及び図12 (B) はそれぞれ、図10の半導体発光素子の製造工程を示す表面図及びそのX-Y断面図である。

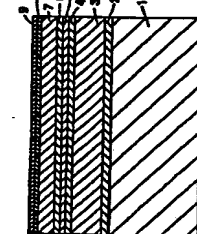
【符号の説明】

1, 21, 41, 61...n-GaAs基板、2, 22, 42, 62...n-GaAsパッド層、3, 23, 43, 63...n-AlGaInP中間層、4, 24, 44, 64...n-(Al_{0.7}Ga_{0.3})_{0.5}In_{0.5}Pクラッド層、5, 25, 45, 65...量子井戸活性層、6, 26, 46, 66...p-(Al_{0.7}Ga_{0.3})_{0.5}In_{0.5}Pクラッド層、7, 27, 47, 67...p-AlGaInPホトドープ層、8, 28...p-(Al_{0.2}Ga_{0.8})_{0.5}In_{0.5}P中間層、9, 29...p-GaAsコンタクト層、10, 70...SiO₂膜、11, 33, 53...p型電極、12, 34, 54, 71...n型電極、28...p-(Al_{0.2}Ga_{0.8})_{0.5}In_{0.5}Pエッチングストップ層、29...n-GaAs電流拡散層、30...n-(Al_{0.3}Ga_{0.7})_{0.5}In_{0.5}P保護層、31...n-GaAsキャップ層、32...p-Al_{0.5}Ga_{0.5}As電流拡散層、48...p-AlGaInP中間層、49...p-AlGaInP第1電流拡散層、50...n-AlGaInP電流拡散層、51...n-GaAsキャップ層、52...p-AlGaInP第2電流拡散層、72...ITO膜。

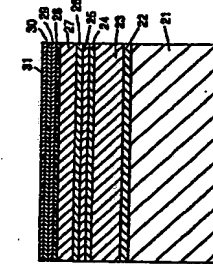
【図1】



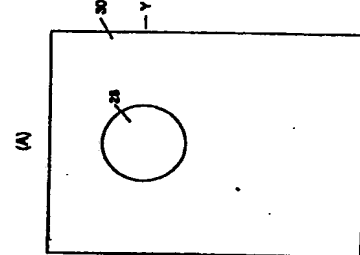
【図2】



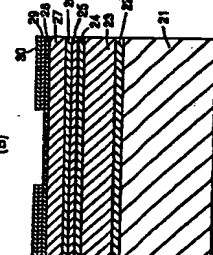
【図5】



【図6】

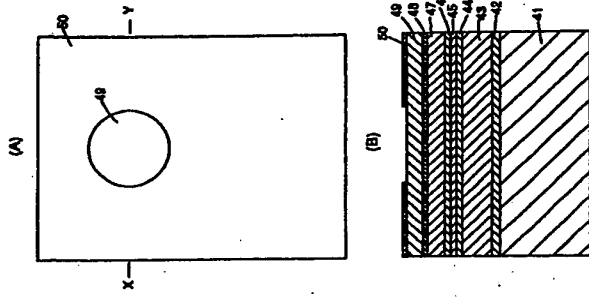


【図8】

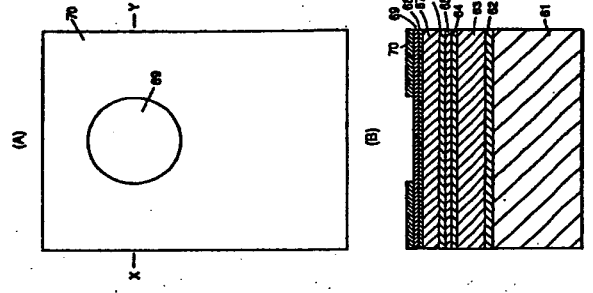


(10)

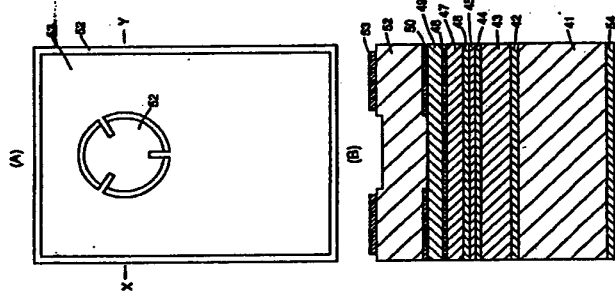
【图 9】



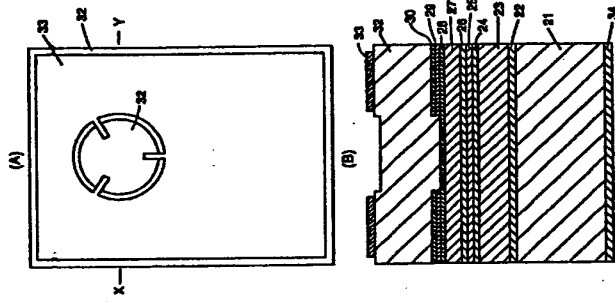
【图 12】



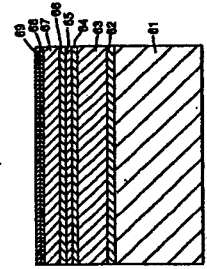
【图 7】



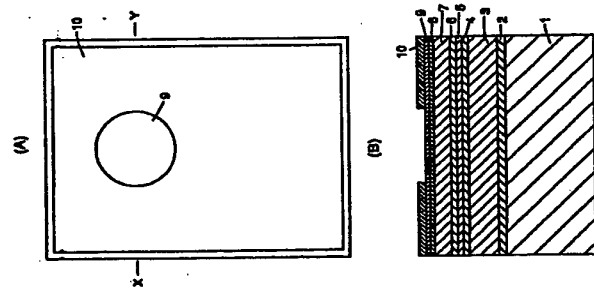
【图 4】



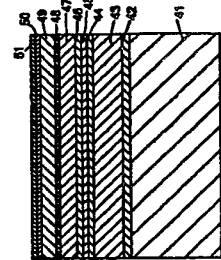
【图 11】



【图 3】

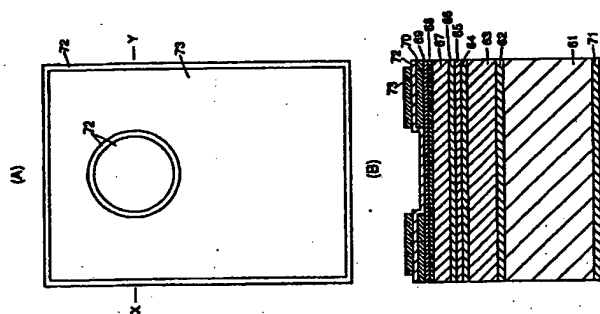


【图 8】



(11)

【図10】



フロントページの続き

(72)発明者	中津 弘志	特許庁(参考)	EP041 A02 A34 C04 C05 CA12
	大阪府大阪市阿倍野区長池町2番22号		CA23 CA34 CA35 CA36 CA74
	ヤープ株式会社内		CA82 CA82 CA93 CB02 FF01
(72)発明者	村上 智朗		FF14
	大阪府大阪市阿倍野区長池町2番22号		EP073 A03 AB17 BA02 BA09 CA14
	ヤープ株式会社内		CB02 CB22 DA21 EA06 EA07
			EA14 EA29